

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-84637

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)3月29日

H 01 L 21/82
27/04

7925-5F
T-7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 マスタースライス型半導体装置

⑰ 特 願 昭62-242913

⑱ 出 願 昭62(1987)9月28日

⑲ 発 明 者 布 施 英 悟 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

マスタースライス型半導体装置

2. 特許請求の範囲

共通の工程で形成された半導体素子を個別的な配線用マスクパターンを使用して配線することによりユーザーが要求するランダムロジック回路を構成するマスタースライス型半導体装置において、その空回路領域の半導体素子を使用して構成された直列接続の複数段のインバータ回路と、このインバータ回路の入力端子及び出力端子とに夫々接続される2個のボンディングパッドと、を有することを特徴とするマスタースライス型半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は共通の工程で形成された半導体素子を個別的な配線用マスクパターンを使用して配線することによりユーザーが要求するランダムロジック回路を構成するマスタースライス型半導体装置に関する。

〔従来の技術〕

近時、半導体装置はマスタースライス方式によって製造される場合が多い。このマスタースライス方式においては、半導体素子形成工程（拡散工程）にて、一定の間隔で配列された多数の半導体素子（トランジスタ、ダイオード、抵抗等）を形成しておき、ユーザーの仕様に基づく配線工程用マスクパターンを使用して半導体素子間を配線することにより、ユーザーが要求するランダムロジック回路を製造する。つまり、ユーザーはランダムロジック回路の動作機能を決定して回路を設計する。そして、製造側は要求された回路に基づき配線工程用マスクパターンを設計して半導体装置を製造する。

第2図はこのようなマスタースライス方式によって製造された半導体装置を示す模式図である。半導体チップ1の縁部には多数のボンディングパッド2がその端縁に沿って配設されており、このボンディングパッド2に囲まれた領域にゲート回路の半導体素子が形成されている。これらの半導

体素子のうち、例えば、領域3の回路を使用して所望のランダムロジック回路が構成され、領域3とボンディングパッド2とがリードパターンにより接続されている。

この半導体装置は、配線用マスクパターンをユーザーの要求に応じて個別的に形成するだけで、種々の半導体装置を製造することができるので、少量多品種の半導体装置を短期間にしかも安価に製造することができる。

〔発明が解決しようとする問題点〕

しかしながら、上述したマスタースライス方式により製造される半導体装置は、その回路設計がユーザーの要望により決定されて多岐にわたるので、その全てについて製造側でコンピュータシミュレーションによって動作速度の良否を判定することは実質的に困難である。

また、完成後に半導体装置の動作速度を実際にICテスト等で求めることは、その動作速度が早いことと、入出力の関係が複雑であることを考慮すると無理がある。

- 3 -

ことを特徴とする。

〔作用〕

本発明においては、マスタースライス型半導体装置において使用されていない空回路領域を利用し、複数段のインバータの直列接続からなるモニタ回路を構成する。このインバータの入力端子及び出力端子に夫々ボンディングパッドを接続し、入力端子に接続されたボンディングパッドからパルスを入力すると、インバータの出力端子に接続されているボンディングパッドからは前記パルスが遅れて出力される。この遅れ時間を測定することによりインバータ1段当りの遅延時間を求めることができる。このインバータの遅延時間よりマスタースライス型半導体装置の動作速度の良否を判定することができる。

〔実施例〕

以下、添付の図面を参照して本発明の実施例について説明する。第1図(a)は本発明の実施例に係るマスタースライス型半導体装置を示す模式図である。半導体チップ1の中央部に所望のラン

ダムロジック回路構成領域3が設けられており、この領域3に形成された半導体素子と半導体チップ1の縁部に形成されたボンディングパッド2とはリードパターンにより接続されている。

このように、マスタースライス方式により製造される半導体装置については、従来、動作速度の良否を判定することは困難である。このため、製造工程上発生する問題点の発見も困難であり、その半導体装置の良否の判定ができない場合が多い。

〔問題点を解決するための手段〕

本発明に係るマスタースライス型半導体装置は、共通の工程で形成された半導体素子を個別的な配線用マスクパターンを使用して配線することによりユーザーが要求するランダムロジック回路を構成するマスタースライス型半導体装置において、その空回路領域の半導体素子を使用して構成された直列接続の複数段のインバータ回路と、このインバータ回路の入力端子及び出力端子とに夫々接続される2個のボンディングパッドと、を有する

- 4 -

マスタースライス型半導体装置においては、拡散工程で形成された複数の半導体素子を選択的に使用して、これを配線することによりユーザーが望む所望のランダムロジック回路を個別的に製造している。従って、この半導体装置は、回路動作上使用されていない空ゲート回路及び空ボンディングパッドが存在する。本実施例においては、この回路動作上使用されていない半導体素子をモニタ回路構成領域4として利用する。

このモニタ回路構成領域4は回路動作上使用されていない2個のボンディングパッド2a、2bに配線されている。

このモニタ回路構成領域4においては、領域4内のゲート回路を使用してインバータ回路を構成し、第1図(b)に示すように複数段のインバータ回路5を直列に接続してある。このインバータ回路

このモニタ回路構成領域4においては、領域4内のゲート回路を使用してインバータ回路を構成し、第1図(b)に示すように複数段のインバータ回路5を直列に接続してある。このインバータ回路

- 5 -

- 6 -

5はその入力端(IN)が、一方の空ボンディングパッド2aに接続され、出力端(OUT)が他方のボンディングパッド2bに接続されている。

次に、このように構成されたマスタースライス型半導体装置の動作について説明する。空ボンディングパッド2aにパルス発生器(図示せず)を接続し、空ボンディングパッド2bにLSIテスト(図示せず)を接続する。そして、空ボンディングパッド2aを介して複数段のインバータ回路5の入力端(IN)からパルス信号をこのインバータ回路5に入力し、空ボンディングパッド2bを介してこの出力パルスを測定する。ここで、モニタ回路5を構成するインバータ回路5の段数を n とすると、空ボンディングパッド2aから入力されたパルスは $n t_{pd}$ 秒だけ遅れて空ボンディングパッド2bに現れる。但し、 t_{pd} 秒はインバータ1段当りの遅延時間である。そして、インバータの段数 n が十分大きければ、LSIテストにより、この遅れ時間を測定することができ、遅れ時間からインバータ1段当りの遅延時間 t_{pd} を逆算

して求めることができる。同一ウエハチップに同一種類の素子を形成した場合、素子の特性は同一であると考えられるので、モニタ回路構成領域4内の素子と、所望のランダムロジック回路構成領域3内の素子とは同一の特性を有する。従って、この遅延時間 t_{pd} によりランダムロジック回路構成領域3内のランダムロジック回路の動作速度の良否を判定することができる。このように、本実施例に係るマスタースライス型半導体装置は、その動作速度の良否を、空ゲート回路領域をモニタ回路構成領域4として使用することにより判定することができる。

なお、半導体チップの組立てに際しては、モニタ回路構成領域4に使用したボンディングパッド2a、2bにはボンディングワイヤを接続しない。

また、モニタ回路構成領域4に接続するボンディングパッドを半導体素子形成領域上に設けてもよく、この場合は、ランダムロジック回路構成領域3に全てのボンディングパッド2が使用されてしまった場合においても、インバータ回路5を使

- 7 -

- 8 -

用してウエハ段階における半導体装置の動作速度のチェックが可能である。

[発明の効果]

以上説明したように、本発明によれば、マスタースライス型半導体装置の空ゲート回路を使用して複数段のインバータ回路の直列接続体が形成され、このインバータ回路によりモニタ回路が構成されているから、このインバータ回路の動作速度を求めることにより、半導体装置の所望のランダムロジック回路が構成されている領域における回路の動作速度の良否をウエハ段階で判定することができる。このため、従来、DC特性だけでは判定することができなかったランダムロジック回路の良否の判定が可能となる。

4. 図面の簡単な説明

第1図(a)は本発明の実施例に係るマスタースライス型半導体装置を示す配置図、第1図(b)は第1の実施例装置に含まれるモニタ回路を示す回路図、第2図は従来のマスタースライス型半導体装置を示す配置図である。

- 9 -

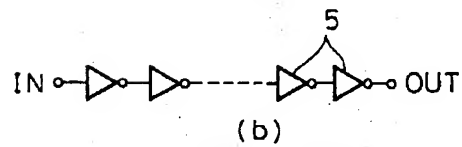
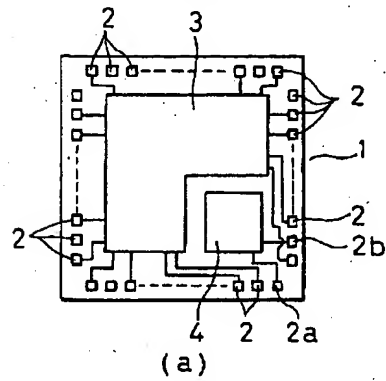
1; 半導体チップ、2, 2a, 2b; ボンディングパッド、3; ランダムロジック回路構成領域、4; モニタ回路構成領域、5; インバータ回路。

出願人 日本電気株式会社

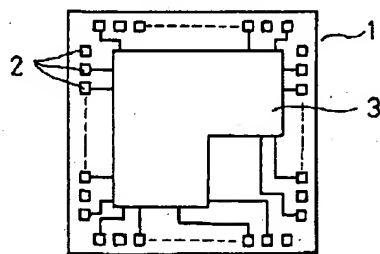
代理人 弁理士 藤巻正憲

- 10 -

- 1: 半導体チップ
- 2, 2a, 2b: ボンディングパッド
- 3: 所望のランダムロジック回路構成領域
- 4: モータ回路構成領域
- 5: インバータ回路



第 1 図



第 2 図